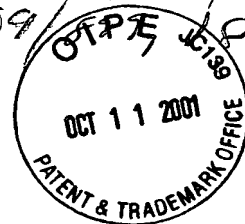


日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月11日

出願番号

Application Number:

特願2000-210066

出願人

Applicant(s):

キヤノン株式会社

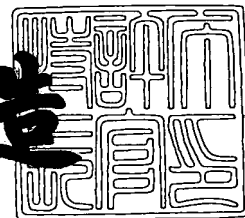
RECEIVED
OCT 16 2001
TC 2800 MAIL ROOM

RECEIVED
NOV 15 2001
TC 2800 MAIL ROOM

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3069407

【書類名】 特許願

【整理番号】 4266066

【提出日】 平成12年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/32

【発明の名称】 撮像装置、放射線撮像装置及びそれを用いた放射線撮像システム

【請求項の数】 24

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 田代 和昭

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 結城 修

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 海部 紀之

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 光地 哲伸

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置、放射線撮像装置及びそれを用いた放射線撮像システム

【特許請求の範囲】

【請求項 1】 被写体像を複数の領域に分割して撮像する、光電変換部を含む画素が配列された撮像領域と、

前記領域内の複数の光電変換部間に設けられた、複数の画素を共通に処理又は／及び前記複数の画素からの信号を共通に処理する走査回路と、

を有することを特徴とする撮像装置。

【請求項 2】 請求項 1 に記載の撮像装置において、前記走査回路は垂直走査回路を備えることを特徴とする撮像装置。

【請求項 3】 請求項 1 に記載の撮像装置において、前記走査回路は水平走査回路を備えることを特徴とする撮像装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置において、前記走査回路はシフトレジスタを備えることを特徴とする撮像装置。

【請求項 5】 請求項 4 に記載の撮像装置において、前記シフトレジスタはスタティック型であることを特徴とする撮像装置。

【請求項 6】 請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置において、前記走査回路はデコーダを備えることを特徴とする撮像装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置において、前記走査回路は、1 画素領域につき全面積を占めることを特徴とする撮像装置。

【請求項 8】 請求項 7 に記載の撮像装置において、前記走査回路は、相互に離散する画素に配されることを特徴とする撮像装置。

【請求項 9】 請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置において、前記走査回路は、1 画素領域につき部分面積を占めることを特徴とする撮像装置。

【請求項 10】 請求項 1 に記載の撮像装置において、前記走査回路は、垂直走査回路及び水平走査回路を備え、前記垂直走査回路が、前記水平走査回路と交差しないように折り曲げられていることを特徴とする撮像装置。

【請求項11】 請求項1に記載の撮像装置において、前記走査回路は、垂直走査回路及び水平走査回路を備え、前記水平走査回路が、前記垂直走査回路と交差しないように折り曲げられていることを特徴とする撮像装置。

【請求項12】 請求項1に記載の撮像装置において、前記走査回路が複数の列又は複数の行に跨って列方向又は行方向に伸びることを特徴とする撮像装置。

【請求項13】 請求項1に記載の撮像装置において、前記走査回路は、複数行又は複数列を走査するためのブロックを複数行又は複数列毎に配したものであることを特徴とする撮像装置。

【請求項14】 請求項1に記載の撮像装置において、受光領域の面積が前記走査回路を配した1画素領域と前記走査回路を配さない1画素領域との間で等しいことを特徴とする撮像装置。

【請求項15】 請求項1乃至14のいずれか1項に記載の撮像装置において、前記走査回路の上に電源ラインを配したことを特徴とする撮像装置。

【請求項16】 被写体像を複数の領域に分割して撮像する、光電変換部を含む画素を配列した撮像領域と、

前記領域内の複数の光電変換部間に設けられた、垂直方向の複数の画素からの信号が読み出される垂直出力線からの信号を選択的に水平出力線に転送するための共通処理回路と、

を有することを特徴とする撮像装置。

【請求項17】 請求項16に記載の撮像装置において、前記共通処理回路はマルチプレクサを備えることを特徴とする撮像装置。

【請求項18】 請求項16又は請求項17に記載の撮像装置において、前記共通化路は、前記水平出力線に転送された信号を増幅する増幅器を備えることを特徴とする撮像装置。

【請求項19】 請求項16乃至18のいずれか1項に記載の撮像装置において、前記共通処理回路は、1画素領域につき全面積を占めることを特徴とする撮像装置。

【請求項20】 請求項19に記載の撮像装置において、前記共通処理回路

は、相互に離散する画素に配されることを特徴とする撮像装置。

【請求項 2 1】 請求項 1 6 乃至 1 8 のいずれか 1 項に記載の撮像装置において、前記共通処理回路は、1 画素領域につき部分面積を占めることを特徴とする撮像装置。

【請求項 2 2】 請求項 1 6 乃至 2 1 のいずれか 1 項に記載の撮像装置において、前記共通処理回路の上に電源ラインを配したことを特徴とする撮像装置。

【請求項 2 3】 請求項 1 乃至 2 2 のいずれか 1 項に記載の撮像装置と、シンチレータ板と、ファイバーオプティックプレートを備えることを特徴とする放射線撮像装置。

【請求項 2 4】 請求項 2 3 に記載の放射線撮像装置と、前記放射線撮像装置からの信号を処理する信号処理手段と、前記信号処理手段からの信号を記録するための記録手段と、前記信号処理手段からの信号を表示するための表示手段と、前記信号処理手段からの信号を伝送するための伝送処理手段と、前記放射線を発生させるための放射線源とを具備することを特徴とする放射線撮像システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は撮像装置に関し、特に、放射線撮像装置、放射線撮像装置システムに関する。本発明は、更に特には、X 線やガンマ線等の高エネルギー放射線を使って画像を読み取る大面積放射線撮像装置とそのシステムに関する。

【0 0 0 2】

【従来の技術】

医療のさまざまな分野でデジタル化が進んでいる。X 線診断の分野でも、画像のデジタル化のため 2 次元の撮像装置が開発されてきている。乳房撮影用、胸部撮影用には最大 4 3 cm の大板の画像撮像装置が作られている。

【0 0 0 3】

【従来技術 1】

大板化しやすいガラス基板上のアモルファスシリコン半導体を使ったセンサパネルを4枚タイル貼りして、大板のX線撮像装置を実現している。既にLCD(Liquid Crystal Display)で確立しているアモルファスシリコン半導体装置の大板化技術(大板の基板、その上への素子の形成技術等)を用いる。この種の技術の例として、米国特許5315101号に記載のものがある。これに記載の大面積アクティブアレイマトリックスを図20に示す。図20を参照すると、1901は基板、1902は画素、1903は接続リード、1904は共通ターミナルである。

【0004】

[従来技術2]

複数の単結晶撮像素子(シリコンなど)を用いて大板のX線撮像装置を作る。この種の技術の例として、米国特許4323925号や米国特許6005911号に記載のものがある。単結晶撮像素子としてはCCD撮像素子やMOS型、CMOS型撮像素子などがある。撮像素子単体はX線動画に十分対応できる性能を有する。

【0005】

米国特許4323925に記載のイメージセンサを図21に示す。図21を参照すると、2001は被写体、2002はレンズ、2003は被写体の像、2004は表面、2005は連続する光学的副像、2006はテーパ状FOP(ファイバーオプティックプレート)、2007は像入力表面、2008はイメージセンサモジュール、2009は非撮像周辺領域、2010はリード線である。光学的副像2005はテーパ状FOP2006により縮小されて像入力表面2007に入射し、非撮像周辺領域2009を設けて、そこにリード線を接続することができる。

【0006】

[発明が解決しようとする課題]

しかしながら、従来技術1は、以下の問題を有する。

【0007】

1つの像を形成するために最大で4枚(2×2)のセンサパネルしか使用することが出来ない。これは、外周部に外部端子を設け、駆動用の回路を外付けする

構成になっているからである。

【0008】

また、せいぜい画素選択スイッチを画素に持つことぐらいしかできない程度に撮像素子に搭載できる信号処理回路の規模が制限される。信号処理回路（ドライバ、アンプなど）は外付けである。

【0009】

更に、アモルファスシリコンは、高速動作に対しての半導体特性がよくないので、動画対応の大板撮像装置を作ることが困難である。またアモルファスシリコン撮像素子は単結晶シリコン撮像素子に比べて感度が低いので、高感度が求められるX線動画に対応させることが困難である。

【0010】

また、従来技術2は、以下の問題を有する。

【0011】

個々の撮像素子の大きさが小さい（現状の技術ではウエハサイズは8インチが最大）ので2×2以上の多数枚が必要である。

【0012】

また、単結晶撮像素子を多数用いた単純な大板撮像装置の構成では各撮像素子の合わせ部に、必ずデッドスペースができ（シフトレジスタ、アンプ等の周辺回路や、外部との信号や電源のやり取りのための外部端子や保護回路を設けるための領域が画素領域とは別に必ず必要）、この部分がライン欠陥になり、画質が落ちる。そのためテーパ状FOP（ファイバーオプティックプレート）を用いて、シンチレータからの光を、デッドスペースを避けて撮像素子に導く構成がとられているが、余計なFOPが必要で製造コストがかかる。特にテーパ状FOPは非常にコストがかかる。

【0013】

更に、テーパ状FOPではテーパ角度に応じてシンチレータからの光がFOPに入射しにくくなり、出力光量低下が起これ撮像素子の感度を相殺して装置全体の感度が悪くなる。

【0014】

本発明の目的は、高性能な複数の単結晶シリコンの撮像素子を用いて、繋ぎ目のない画像を提供できる大板の放射線、特にX線撮像装置を提供することである。

【0015】

【課題を解決するための手段】

本発明による撮像装置は、被写体像を複数の領域に分割して撮像する、光電変換部を含む画素が配列された撮像領域と、前記領域内の複数の光電変換部間に設けられた、複数の画素を共通に処理又は／及び前記複数の画素からの信号を共通に処理する走査回路と、を有することを特徴とする。

【0016】

また、本発明による撮像装置は、上記の撮像装置において、前記走査回路は垂直走査回路を備えることを特徴とする。

【0017】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は水平走査回路を備えることを特徴とする。

【0018】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路はシフトレジスタを備えることを特徴とする。

【0019】

更に、本発明による撮像装置は、上記の撮像装置において、前記シフトレジスタはスタティック型であることを特徴とする。

【0020】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路はデコーダを備えることを特徴とする。

【0021】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、1画素領域につき全面積を占めることを特徴とする。

【0022】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、

相互に離散する画素に配されることを特徴とする。

【0023】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、1画素領域につき部分面積を占めることを特徴とする。

【0024】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、垂直走査回路及び水平走査回路を備え、前記垂直走査回路が、前記水平走査回路と交差しないように折り曲げられていることを特徴とする。

【0025】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、垂直走査回路及び水平走査回路を備え、前記水平走査回路が、前記垂直走査回路と交差しないように折り曲げられていることを特徴とする。

【0026】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路が複数の列又は複数の行に跨って列方向又は行方向に伸びることを特徴とする。

【0027】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路は、複数行又は複数列を走査するためのブロックを複数行又は複数列毎に配したものであることを特徴とする。

【0028】

更に、本発明による撮像装置は、上記の撮像装置において、受光領域の面積が前記走査回路を配した1画素領域と前記走査回路を配さない1画素領域との間で等しいことを特徴とする。

【0029】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路の上に電源ラインを配したことを特徴とする。

【0030】

更に、本発明による撮像装置は、被写体像を複数の領域に分割して撮像する、光電変換部を含む画素を配列した撮像領域と、前記領域内の複数の光電変換部間

に設けられた、垂直方向の複数の画素からの信号が読み出される垂直出力線からの信号を選択的に水平出力線に転送するための共通処理回路と、を有することを特徴とする。

【0031】

更に、本発明による撮像装置は、上記の撮像装置において、前記共通処理回路はマルチプレクサを備えることを特徴とする。

【0032】

更に、本発明による撮像装置は、上記の撮像装置において、前記共通化路は、前記水平出力線に転送された信号を増幅する増幅器を備えることを特徴とする。

【0033】

更に、本発明による撮像装置は、上記の撮像装置において、前記共通処理回路は、1画素領域につき全面積を占めることを特徴とする。

【0034】

更に、本発明による撮像装置は、上記の撮像装置において、前記共通処理回路は、相互に離散する画素に配されることを特徴とする。

【0035】

更に、本発明による撮像装置は、上記の撮像装置において、前記共通処理回路は、1画素領域につき部分面積を占めることを特徴とする。

【0036】

更に、本発明による撮像装置は、上記の撮像装置において、前記走査回路の上に電源ラインを配したことを特徴とする。

【0037】

本発明による放射線撮像装置は、上記の撮像装置と、シンチレータ板と、ファイバーオプティックプレートを備えることを特徴とする。

【0038】

本発明による放射線撮像システムは、上記の放射線撮像装置と、前記放射線撮像装置からの信号を処理する信号処理手段と、前記信号処理手段からの信号を記録するための記録手段と、前記信号処理手段からの信号を表示するための表示手段と、前記信号処理手段からの信号を伝送するための伝送処理手段と、前記放射

線を発生させるための放射線源とを具備することを特徴とする。

【0039】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0040】

【実施形態1】

実施形態1は、本発明の撮像装置の基本構成を示すものである。

【0041】

図1は138mm口の撮像素子101を9枚タイル状に張り合わせて形成した414mm口の大面積X線撮像装置の撮像素子部分を示す。

【0042】

図2は図1のA-A'断面を示す。ユウロピウム、テルビウム等を付活性体として用いた Gd_2O_2S やCsIなどのシンチレータからなるシンチレータ板201をFOP202の上に設置する。X線203はシンチレータに当たり、可視光に変換される。この可視光を撮像素子101で検出する。シンチレータは、その発光波長が撮像素子101の感度に適合するように選択するのが好ましい。204は、撮像素子101の電源、クロック等を供給し、又、撮像素子から信号を取り出して処理する回路を有する外部処理基板である。205は、各撮像素子101と外部処理基板とを電氣的に接続するTAB (Tape Automated Bonding)である。

【0043】

9枚の撮像素子101は、実質的に撮像素子間に隙間ができないように貼り合わせる。ここで、実質的に隙間ができないこととは、9枚の撮像素子により形成される画像に撮像素子間の欠落ができないということである。撮像素子101のクロック等や電源の入力、画素からの信号の出力は撮像素子端部に設けた電極パッドに接続したTAB205を通して、撮像素子101の裏側に配置した外部処理基板204との間で行う。TAB205の厚さは画素サイズに対して十分薄く撮像素子101の間の隙間を通して、画像上の欠陥は生じない。

【0044】

図3は現在主流の8インチウエハ301から一個の撮像素子を取り出す場合を示す。8インチウエハ301はN型ウエハであり、これを用い、CMOSプロセスによって138mm \square のCMOS型撮像素子101を1枚取りで作成する。

【0045】

図4にCMOS型撮像素子101の各画素を構成する画素部の構成図を示す。401は光電変換をするフォトダイオード（光電変換部）、402は電荷を蓄積するフローティングディフュージョン、403はフォトダイオードが生成した電荷をフローティングディフュージョンに転送する転送MOSトランジスタ（転送スイッチ）、404はフローティングディフュージョンに蓄積された電荷を放電するためのリセットMOSトランジスタ（リセットスイッチ）、405は行選択をするための行選択MOSトランジスタ（行選択スイッチ）、406はソースフォロワーとして機能する増幅MOSトランジスタ（画素アンプ）である。

【0046】

図5に3 \times 3画素での全体回路の概略図を示す。

【0047】

転送スイッチ403のゲートは垂直走査回路の一種である垂直シフトレジスタ501からの Φ TX502に接続され、リセットスイッチ404のゲートは垂直走査回路501からの Φ RES503に接続され、行選択スイッチ405のゲートは垂直走査回路501からの Φ SEL504に接続されている。

【0048】

光電変換はフォトダイオード401でおこなわれ、光量電荷の蓄積期間中は、転送スイッチ403はオフ状態であり、画素アンプを構成するソースフォロア406のゲートにはこのフォトダイオードで光電変換された電荷は転送されない。該画素アンプを構成するソースフォロア406のゲートは、蓄積開始前にリセットスイッチ404がオンし、適当な電圧に初期化されている。すなわちこれがダークレベルとなる。次に又は同時に行選択スイッチ405がオンになると、負荷電流源と画素アンプ406で構成されるソースフォロワー回路が動作状態になり、ここで転送スイッチ403をオンさせることで該フォトダイオードに蓄積されていた電荷は、該画素アンプを構成するソースフォロア406のゲートに転送さ

れる。

【0049】

ここで、選択行の出力が垂直出力線（信号出力線）505上に発生する。この出力は列選択スイッチ（マルチプレクサ）506を水平走査回路の一種である水平シフトレジスタ507によって駆動することにより水平出力線を介して順次出力部アンプ508へ読み出される。

【0050】

図6は垂直シフトレジスタ501の単位ブロック（一行を選択し駆動するための単位）601を1画素領域（1セル）603に1画素回路602と共に配置した様子を示す。1画素回路602は図4に示すものである。垂直シフトレジスタは転送信号 Φ TX、リセット信号 Φ RES、行選択信号 Φ SELを作り出すためにスタティック型シフトレジスタ604と転送ゲート605で構成した簡単な回路を示す。これらはクロック信号線（不図示）からの信号により駆動する。シフトレジスタの回路構成はこの限りではなく、画素加算や間引き読み出し等のさまざまな駆動のさせ方により、任意の回路構成をとることができる。ただし本実施形態のように機能ブロックを一つのセル603の中に画素回路602と共に配置し、有効画素領域内にシフトレジスタを設け、全面有効画素領域の撮像素子を実現する。

【0051】

本発明は、垂直シフトレジスタや n 対 2^n デコーダ等の垂直走査回路、水平シフトレジスタや n 対 2^n デコーダ等の水平走査回路を有効画素領域内の各画素領域（セル）内に配置することを特徴とする。

【0052】

同様に、本発明は、共通処理回路を有効画素領域内の各画素領域（セル）内に配置することを特徴とする。ここで、共通処理回路とは、最終信号出力アンプ、シリアル・パラレル変換マルチプレクサ、バッファ、各種ゲート回路等の複数画素を一括して共通に処理する回路を意味する。

【0053】

これに対して個別回路とは、フォトダイオード、転送スイッチ、画素選択スイ

ッチ、画素出力増幅回路等の1画素のみを処理する回路を意味する。

【0054】

図7に本実施形態の撮像素子の構成（平面図）を示す。

【0055】

本実施形態では垂直シフトレジスタ501Bと水平シフトレジスタ507Bを撮像素子の有効画素領域に配置する。

【0056】

1つのラインを処理するシフトレジスタの1ブロック601を1画素ピッチ内に収まるように配置する。これらのブロックを並べて一連の垂直シフトレジスタブロック501Bとし、水平シフトレジスタブロック507Bとする。これらのブロックは垂直方向、水平方向に直線状に伸びている。

【0057】

これらのシフトレジスタブロック601のある画素の受光部の面積は、他の画素に比べ若干小さくなる。

【0058】

シフトレジスタとしてスタティックシフトレジスタを用いる。シフトレジスタの回路構成は、設計でいろいろなものが適用できる。この実施形態では一般的な回路例を取り上げた。重要なのはスタティック型を用いる点である。

【0059】

本実施形態によれば、撮像素子の周辺にデッドスペースが生じないので、撮像素子全面が有効画素領域となる。

【0060】

これらの撮像素子をタイル状に、実質的に隙間がないように並べることで、大板の撮像装置を形成できる。実質的に繋ぎ目のない大板の画像を得ることができる。

【0061】

医療用のX線撮像装置では、画素の大きさは、 $100\mu\text{m}\square\sim 200\mu\text{m}\square$ 程度に大きくてよいので、構成素子数の多いスタティックシフトレジスタを配置しても、十分大きい開口率を実現できる。

【0062】

本実施形態では、シフトレジスタを有効画素領域内に配置するので、シンチレータ板を抜けたX線が直接シフトレジスタに当たる。X線は素子にダメージを与えたり、エラーを生じたりするので問題である。

【0063】

エラーの例としてあげられるのは、絶縁酸化膜 SiO_2 とシリコンの界面に電荷が蓄積され、閾値の変動やリーク電流の増加が起きる現象である。また、ダメージの例としてあげられるのは、pn接合面に生じる欠陥であり、この欠陥がリーク電流の増大を引き起こす。

【0064】

エラーの他の例としてあげられるのは、MOS型ダイナミックRAMでの誤動作として知られるホットエレクトロンの作用によるエラー（ソフトエラー）と同様なものである。

【0065】

電界により発生するホットエレクトロンは、電界が高くなる短チャンネル構造で起こりやすいが、X線により発生するホットエレクトロンはサイズによらず発生するので、平面的なサイズによらずX線が当たると撮像装置は不安定になりやすい。

【0066】

次に、撮像素子の画素を駆動するために用いられるシフトレジスタについて説明する。シフトレジスタ回路は、パルス信号を順次転送するために用いられている。

【0067】

スタティック型シフトレジスタ回路の構成例を図8及び図9に示す。このシフトレジスタ回路は、特開平9-223948号公報で開示されたものである。シフトレジスタ回路の1段分は、図8の構成では1個のインバータと2個のクロックインバータ、図9の構成では3個のインバータと2個のCMOS転送ゲートから成っている。ここで2個のクロックインバータまたは2個のCMOS転送ゲートには、それぞれ逆位相のクロック信号CLKと $\neg\text{CLK}$ （“ \neg ”は負論理

を示す。)が入力されている。また、隣接するシフトレジスタ回路には、それぞれ逆位相のクロック信号が入力されている。

【0068】

図10はインバータの内部構成図を示す。

【0069】

図11は、クロックトインバータの内部構成図を示し、電源とグランド間にpチャネル型入力トランジスタTr1、pチャネル型クロックトランジスタTr2、nチャネル型クロックトランジスタTr3、nチャネル型入力トランジスタTr4を直列接続して構成され、トランジスタTr2とトランジスタTr3の接続点より出力が取り出される。

【0070】

上述のように、駆動回路に用いられるシフトレジスタ回路は、通常、位相が逆の2つのクロック信号でクロックに同期して駆動されている。

【0071】

ダイナミック型シフトレジスタ回路の構成例を図12に示す。図12に示すように、スタティック型ではフィードバック用のクロックトインバータ（または、転送ゲートとインバータ）を設けるのに対し、ダイナミック型ではインバータ間にクロックがゲートに印加されるトランジスタTRとキャパシタCを設けることで素子数を削減し、低消費電力化を図っている。このシフト回路は、特開平5-218814号公報で開示されたものである。原理的にダイナミック型はキャパシタに電荷を蓄えることでデータを保持する動作を行う。

【0072】

ダイナミック型では、pn接合面や絶縁層とシリコンの界面にリークがあるとキャパシタでの電荷保持ができなくなり正常な動作をしなくなる。ダイナミック型をX線が照射するところで用いるとX線のダメージを受けやすく、リーク電流の増加が起こって動作しなくなり、信頼性上の問題を引き起こす。またX線によって生じたホットエレクトロンによる誤動作で正常な画像を得ることができなくなる。

【0073】

これに比べ原理的にはスタティック型はX線の影響を比較的受けにくく、本実施形態のようにX線が直接当たる場所に用いることができる。従って、スタティック型シフトレジスタを用いれば、X線ダメージやエラーの少なく、信頼性が向上した撮像装置を実現できる。

【0074】

また、走査回路として、シフトレジスタではなく、 n 対 2^n デコーダを使用することもできる。デコーダの入力に順次インクリメントするカウンタの出力を接続することにより、シフトレジスタと同様に順次走査することが可能となり、一方、デコーダの入力に画像を得たい領域のアドレスを入力することにより、ランダム走査による任意の領域の画像を得ることができる。

【0075】

本実施形態は、撮像素子として、CMOSセンサを用いているので、消費電力が少なく、大板の撮像装置を構成する場合に好適である。

【0076】

なお、撮像素子内にマルチプレクサを作りこむのは、撮像素子での動作を早くするためである。

【0077】

また、撮像素子からは電極パッドを経由して外部に信号を取り出すが、この電極パッド周りには大きな浮遊容量がある。従って、電極パッドの前段にアンプ508を設けることにより、信号の伝送特性を補償することができる。

【0078】

〔実施形態2〕

実施形態2の撮像装置は、基本構成は実施形態1と同じであるが、シフトレジスタの配列の様式が実施形態1と異なる。

【0079】

実施形態2では、図13に示すように、水平シフトレジスタ507Cに比べ、駆動周波数の低い垂直シフトレジスタ501Cのブロックを、それが水平シフトレジスタ507Cと交差する前にL字型に曲げて配置する。動作周波数を度外視すれば、水平シフトレジスタ507Cのブロックを、それが垂直シフトレジスタ

501Cと交差する前にL字型に曲げて配置してもよい。

【0080】

実施形態1のように有効画素領域に垂直シフトレジスタ501B、水平シフトレジスタ507Bを配置すると、必ず交差する部分が現れる。このとき交差部のセルが垂直シフトレジスタ501B、水平シフトレジスタ507Bの回路で占有され、画素欠陥が生じたり、トランジスタの密集するこの部分でのプロセス欠陥が集中し易くなったりする場合がある。これを避けるために、実施形態2のように一方のシフトレジスタが他方のシフトレジスタと交差する前にその一方のシフトレジスタをL字型に配置することで必要以上に配線の交差を避け、レイアウトを簡略化できる。

【0081】

また、一般に、伝送路に雑音が加わると、クロック信号の波形が乱れ、等価的に高速のクロック信号が受信回路に入力される。回路の正常動作範囲より短いパルス幅のクロック信号が入力された場合、状態遷移回路は異常な状態に遷移し、動作不良となる。

【0082】

X-Yアドレス方式の走査回路（シフトレジスタ）を持つ撮像素子の場合、何らかの原因によりクロック信号及びデータ信号が停止等の異常を来すと、走査回路の停止や動作不良が生じる。

【0083】

高速で駆動するシフトレジスタにはノイズが発生しやすいので、特に実施形態2のようにシフトレジスタのブロックをL字型に配置する場合、駆動周波数の低い垂直シフトレジスタをL字型に配置することで、L字型に不規則に配線を曲げることによるノイズの影響を受けにくい構成とする。

【0084】

また、シフトレジスタに付随する浮遊容量が大きくなると応答が遅くなり、動作不良を起こしやすい。特に実施形態2のようにシフトレジスタを折り曲げる構造をとると、本来直線的なレイアウトの場合はなくてもすむ配線（図中a-a'、b-b'）が必要となり、この部分での浮遊容量が悪影響する場合がある。そ

ここで、実施形態2ではさらに、駆動周波数の小さい垂直シフトレジスタをL字型に配置することで、浮遊容量により応答の遅れの影響を受けにくいようにしている。

【0085】

〔実施形態3〕

実施形態3の撮像装置は、基本構成は実施形態1と同じであるが、シフトレジスタの配列の様式が実施形態1と異なる。

【0086】

実施形態3では、図14に示すように、シフトレジスタの隣接する1ライン駆動のためのブロックが連続して同一直線上にのらないようにする。垂直シフトレジスタ501Dは、全てのブロックが垂直方向に一直線上にのることがないように、各ブロックを適当なYライン上に配置する。水平シフトレジスタ507Dも、同様に配置する。

【0087】

シフトレジスタブロックのある画素は受光領域が、他の画素より狭い。このような画素が一直線上に並ぶと画像上違和感が現れることがある。実施形態3によれば、このような画素を適度に分散させることで画像の違和感を低減することができる。

【0088】

〔実施形態4〕

実施形態4の撮像装置は、基本構成は実施形態1と同じであるが、シフトレジスタの配列の様式が実施形態1と異なる。

【0089】

実施形態4では、図15に示すように、シフトレジスタの3行を走査するための回路を1ブロックとして、3ライン毎にこのブロックを配置して垂直シフトレジスタ501Eを構成する。水平シフトレジスタ507も同様に構成する。このブロックがあるセルでは、ブロックはセル全体を占めることはなく、そのブロックのあるセルには1画素回路602もある。なお、実施形態4は、この条件が満たされる限り、一般に、シフトレジスタの複数行を走査するための回路を1プロ

ックとして、その数毎にこのブロックを配置して垂直レジスタを構成したものを含む。

【0090】

シフトレジスタブロックのある画素は受光領域が、他の画素より狭い。このような画素が一直線上に並ぶと画像上違和感が現れることがある。実施形態4では3ラインごとにシフトレジスタをまとめて1ブロックとし、このようなブロックを配置することで画像の違和感を低減することができる。

【0091】

〔実施形態5〕

実施形態4の撮像装置は、基本構成は実施形態1と同じであるが、シフトレジスタの配列の様式が実施形態1と異なる。

【0092】

実施形態5では、図16に示すように、シフトレジスタの n 行(n は自然数)を走査するための回路を1ブロックとして、 n ライン毎にこのブロックを配置して垂直シフトレジスタ501Eを構成する。水平シフトレジスタ507も同様に構成する。このブロックがあるセルでは、ブロックはセル全体を占めて、そのブロックのあるセルには1画素回路602はない。

【0093】

シフトレジスタブロックのある画素は受光領域が、他の画素より狭い。このような画素が一直線上に並ぶと画像上違和感が現れることがある。実施形態4では3ラインごとにシフトレジスタをまとめて1ブロックとし、このようなブロックを配置することで画像の違和感を低減することができる。

【0094】

〔実施形態6〕

実施形態6では、図17に示すように、少なくとも画素の受光領域を等しい面積とする。なお、図17においては、セル間で等しい面積であるのは1画素回路の面積であるが、1画素回路内の受光領域(図17には示していない。)の面積もセル間で等しい。また、全てのセル間で受光領域の面積を等しくするのが好ましいが、撮像素子の端部の1ライン内のセル内の受光領域の面積は、スライス用

のマージンをとるために、内部のセル内の受光領域の面積とは異なることはありうる。

【0095】

図18にシフトレジスタが配される1画素領域（セル）のレイアウトを示す。1801は受光領域、1802はシフトレジスタブロック、1803はスイッチや画素アンプ等の領域である。

【0096】

図18において、

セルサイズ： $150\mu\text{m}\square$

シフトレジスタ1ブロック： $20\mu\text{m}\times 150\mu\text{m}$

画素の受光領域： $130\mu\text{m}\square$

スイッチ、画素アンプの領域： $130\mu\text{m}\times 20\mu\text{m}$

であるので、開口率は75%である。

【0097】

シフトレジスタが配されない1画素領域のレイアウトは、図18に示すものからシフトレジスタブロック1802が削除されたものであり、シフトレジスタが配されない1画素領域のうちの少なくとも受光領域は、シフトレジスタが配される1画素領域（セル）の受光領域1801と同一である。

【0098】

シフトレジスタブロック1802は、その機能を単純なものとすれば、図18に示す程度にセルの占有率を減らすことができる。なお、その機能を多くすると、シフトレジスタブロック1802の幅が広がり、開口率の制限を外さない限り、実施形態6の範囲外となる。

【0099】

実施形態6によれば、大画素と適当な大きさのシフトレジスタを用い、受光領域を画素間で均一サイズにすることで、シフトレジスタ等を有効画素領域に配置しても、感度ばらつきや、画素の重心のばらつきを生じない。

【0100】

[実施形態7]

実施形態7は、実施形態1乃至6において、電源ラインをX線遮蔽用として、シフトレジスタ及び／又は共通処理回路の上に配置したものである。電源ラインの材質としては、X線の吸収率が高い銅等を使用する。

【0101】

【実施形態8】

図19は本発明による放射線撮像装置のX線診断システムへの応用例を示したものである。

【0102】

X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、シンチレータ201、FOP202、撮像素子101、外部処理基板204を備える放射線撮像装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応してシンチレータは発光し、これを撮像素子が光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0103】

また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【0104】

【発明の効果】

以上説明したように、本発明によれば、撮像素子の全表面を有効画素領域として、有効画素領域内の画素間に走査回路及び共通処理回路を配した。従って、撮像素子間に実質的な隙間が生じないように撮像素子を並べることができるので、ある撮像素子の全周を他の撮像素子で囲んで5個（十字状領域の場合）又は9個（3個／行×3個／列の矩形領域の場合）以上の撮像素子により1の画像を形成する撮像装置を形成しても、撮像素子間で画像の不連続性や欠落が生じない。

【0105】

また、上記の構成の撮像装置を形成できるので、アモルファスシリコンの撮像素子ではなく、大型化の困難な単結晶シリコンの撮像素子を使用できることになり、S/Nの良い大画面動画又は高精細動画を撮像することが可能となる。

【0106】

更に、テーパ状FOPを使用しなくて済むので、撮像装置のコストを下げることができる。

【図面の簡単な説明】

【図1】

本発明の実施形態による撮像装置における撮像素子の配列及び走査回路の配列を示す平面図である。

【図2】

本発明の実施形態による撮像装置の構成を示す断面図であり、図1のA-A'断面を示す。

【図3】

本発明の実施形態による撮像素子とその基となるウエハを示す平面図である。

【図4】

本発明の実施形態による撮像素子内の1画素回路の回路図である。

【図5】

本発明の実施形態による撮像素子の回路図である。

【図6】

本発明の実施形態1による1画素領域（セル）の構成を示す概念的平面図である。

【図7】

本発明の実施形態1による撮像素子のレイアウトを示す平面図である。

【図8】

スタティック型シフトレジスタの第1例を示す回路図である。

【図9】

スタティック型シフトレジスタの第2例を示す回路図である。

【図 10】

シフトレジスタに使用されるインバータの例を示す回路図である。

【図 11】

スタティック型シフトレジスタに使用されるクロックインバータの例を示す回路図である。

【図 12】

ダイナミック型シフトレジスタの例を示す回路図である。

【図 13】

本発明の実施形態 2 による撮像素子のレイアウトを示す平面図である。

【図 14】

本発明の実施形態 3 による撮像素子のレイアウトを示す平面図である。

【図 15】

本発明の実施形態 4 による撮像素子のレイアウトを示す平面図である。

【図 16】

本発明の実施形態 5 による撮像素子のレイアウトを示す平面図である。

【図 17】

本発明の実施形態 6 による撮像素子のレイアウトを示す平面図である。

【図 18】

本発明の実施形態 6 による撮像素子の 1 画素領域のレイアウトを示す平面図である。

【図 19】

本発明の実施形態 8 による放射線撮影システムの構成を示す概念図である。

【図 20】

従来技術 1 の説明図である。

【図 21】

従来技術 2 の説明図である。

【符号の説明】

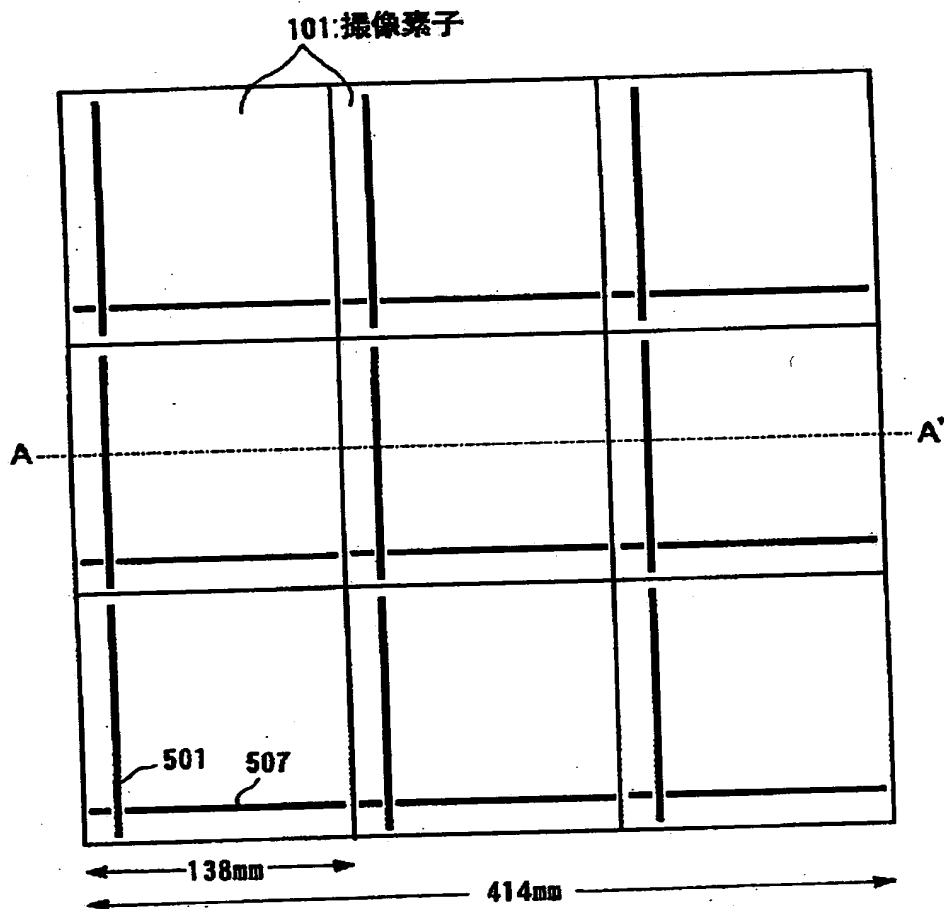
101 撮像素子

201 シンチレータ板

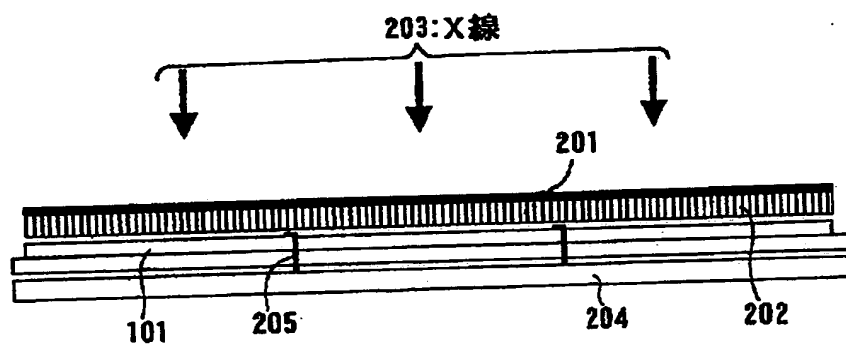
- 202 FOP (ファイバーオプティックプレート)
- 203 X線
- 204 外部処理基板
- 205 TAB
- 501 垂直シフトレジスタ
- 506 列選択スイッチ (マルチプレクサ)
- 507 水平シフトレジスタ
- 508 出力部アンプ

【書類名】 図面

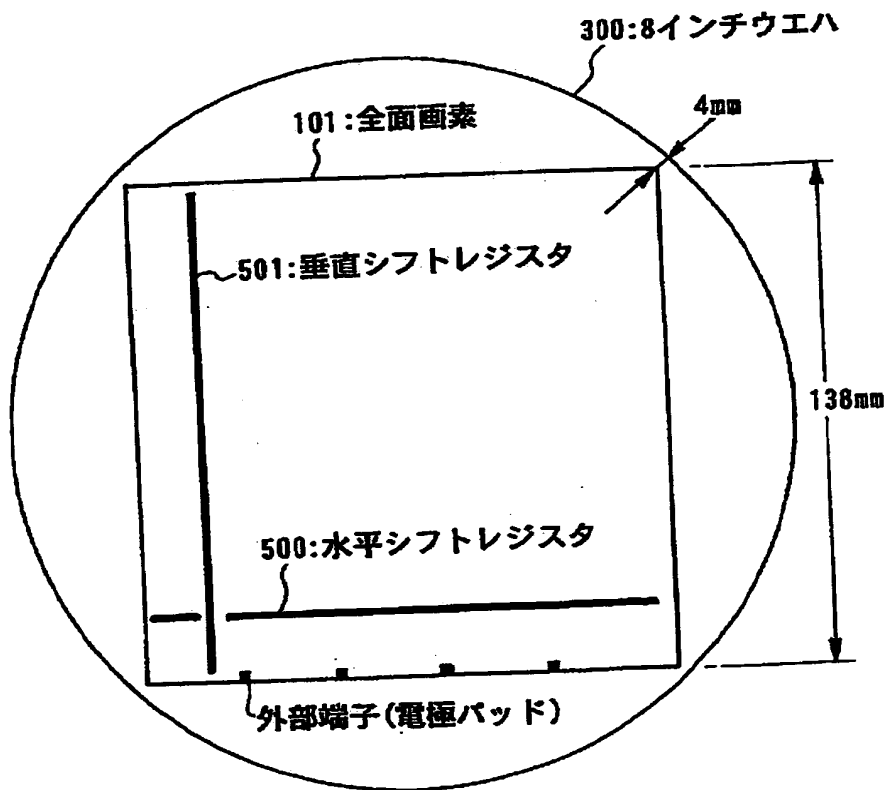
【図1】



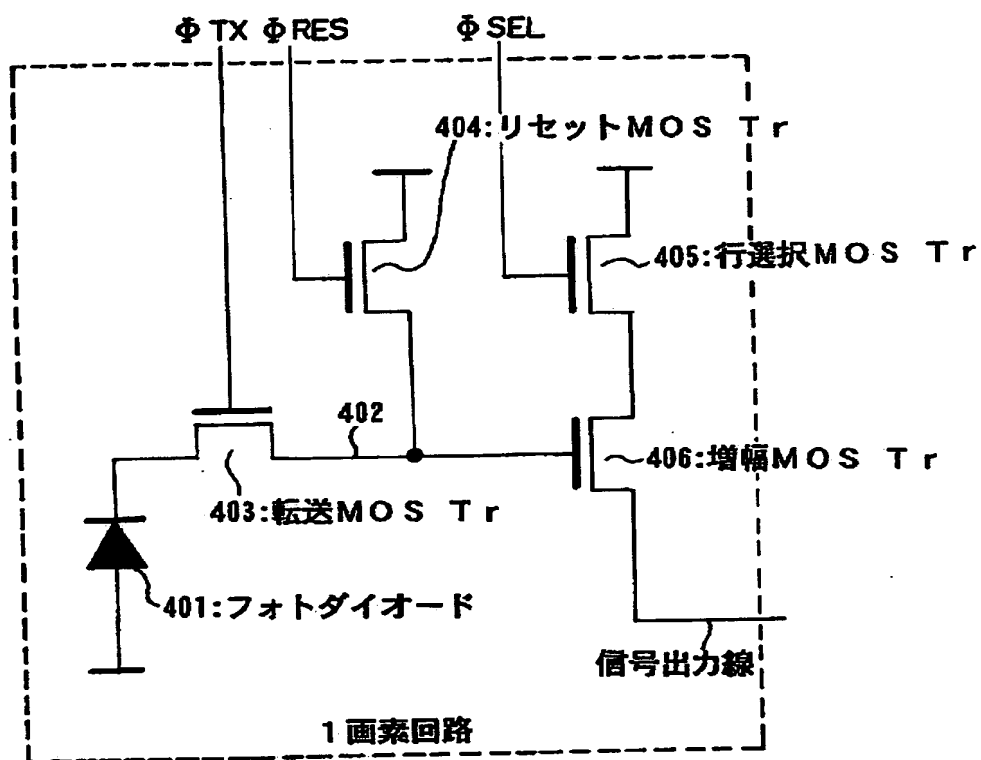
【図2】



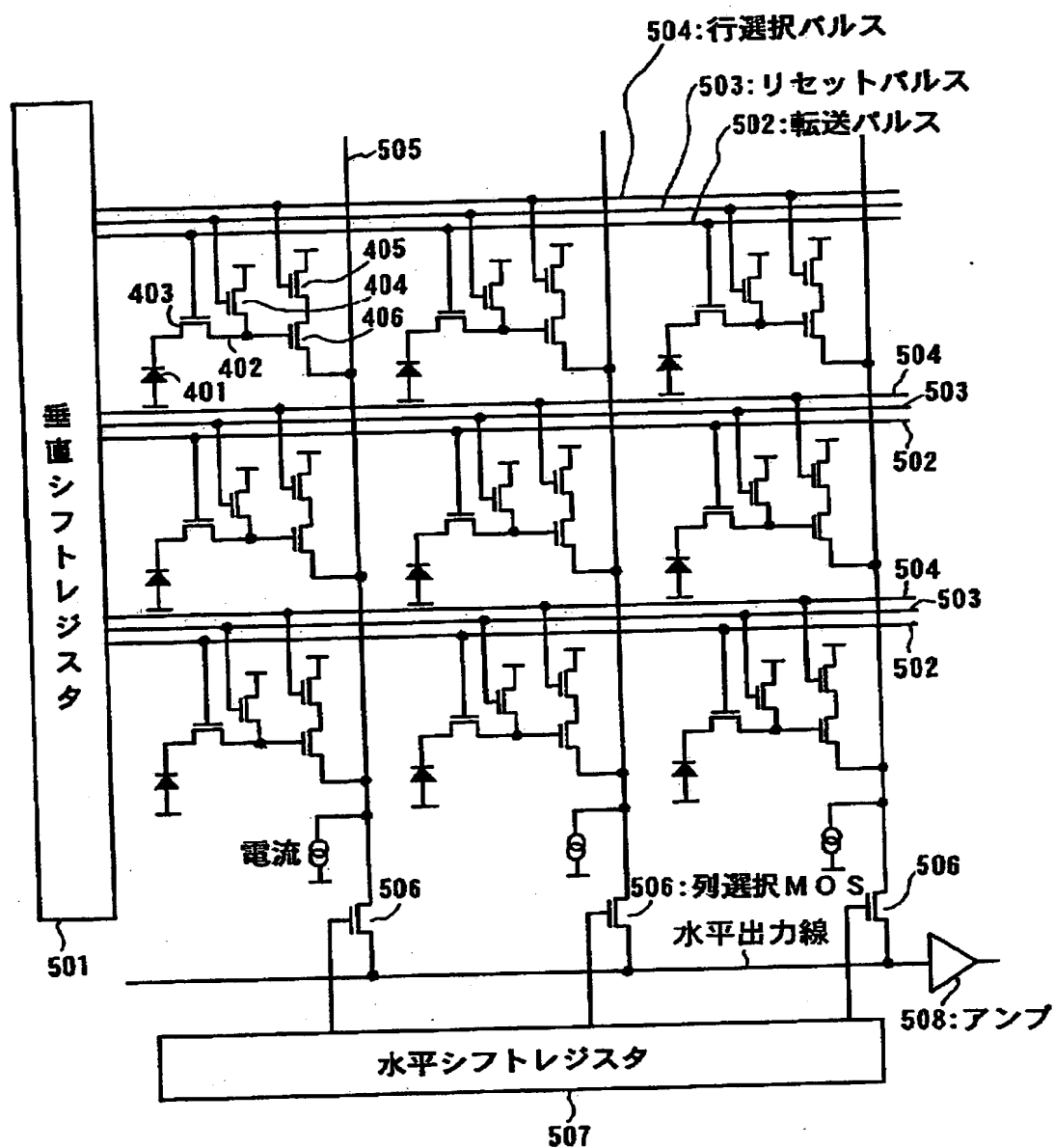
【図3】



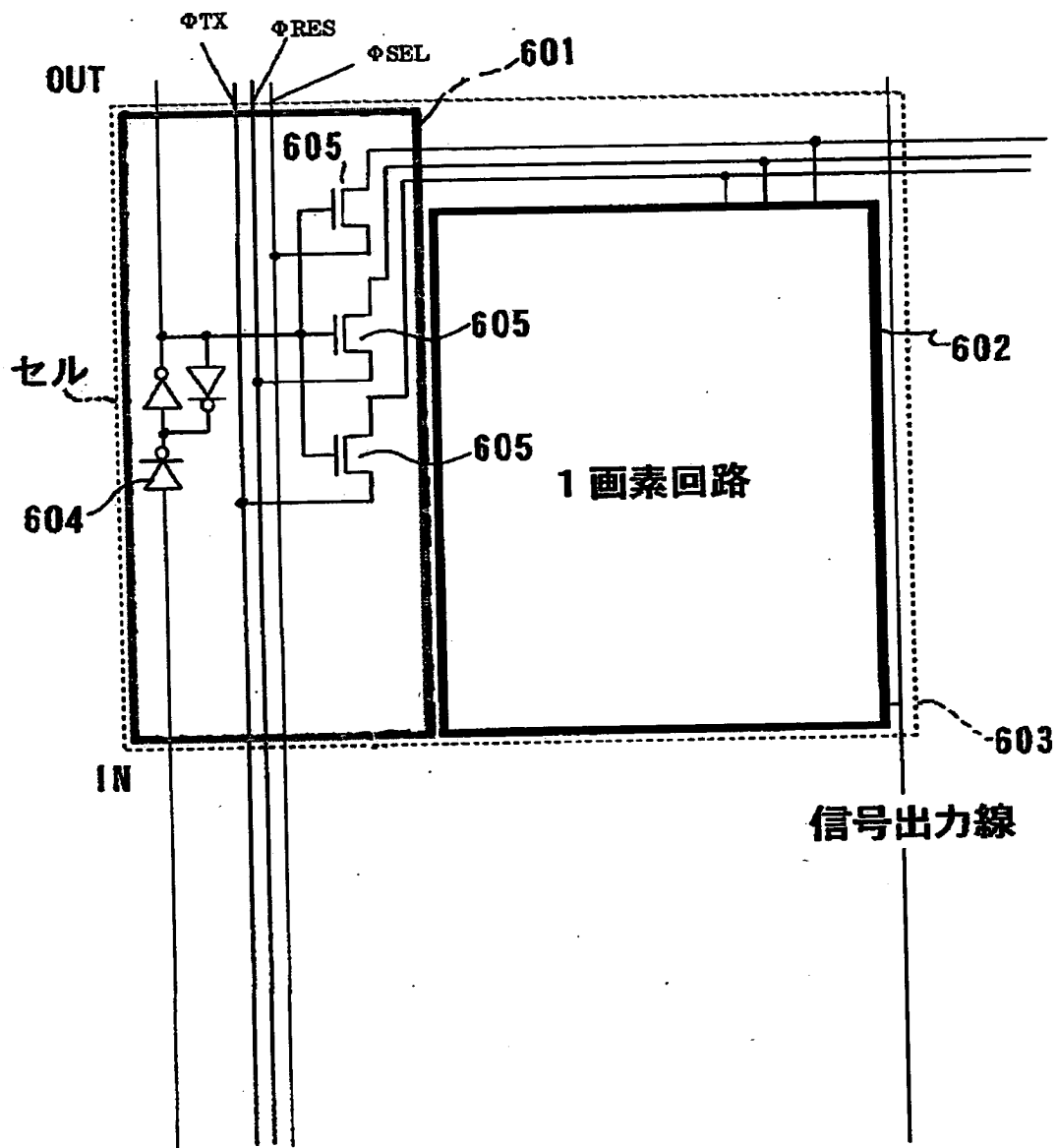
【図4】



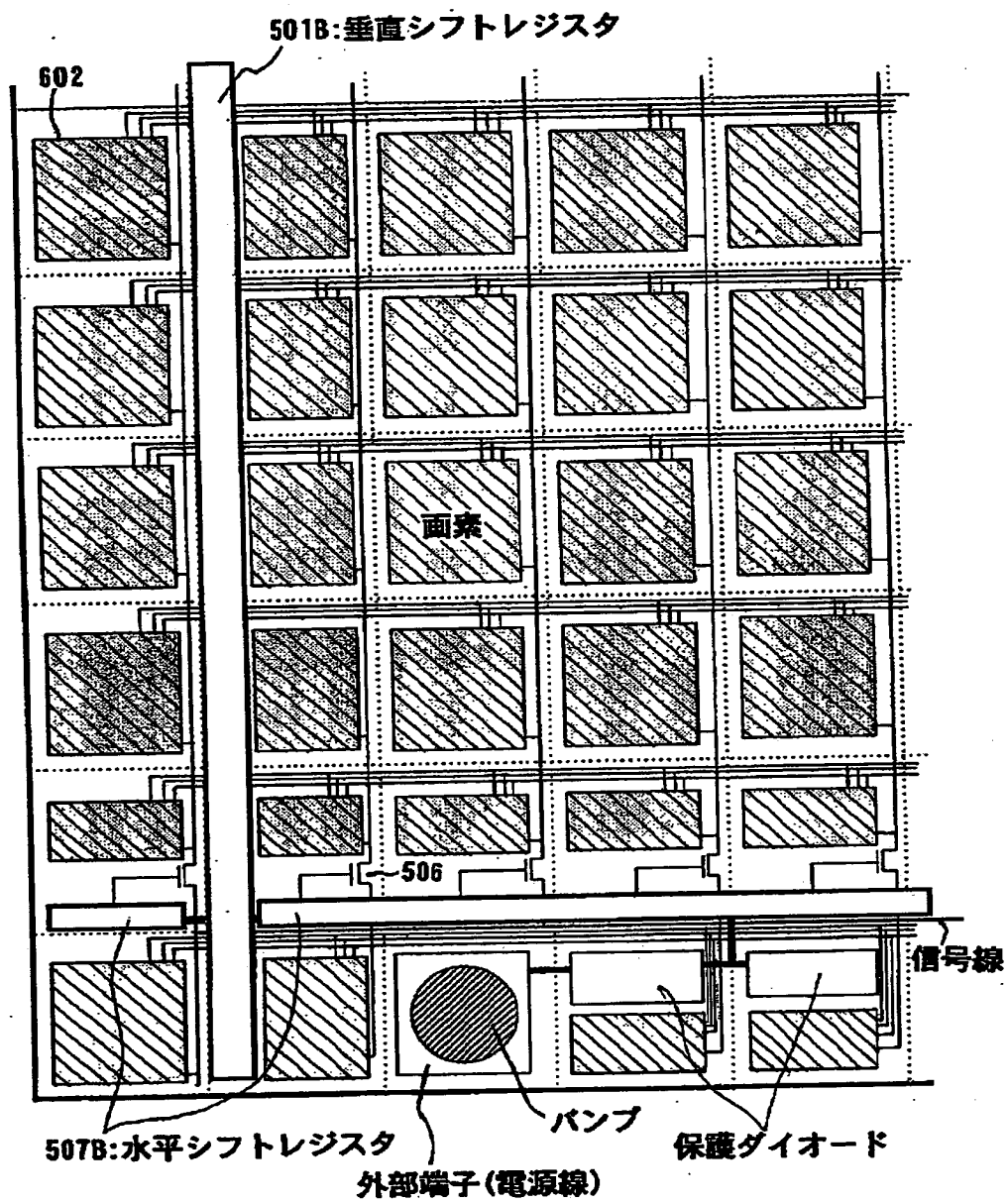
【図5】



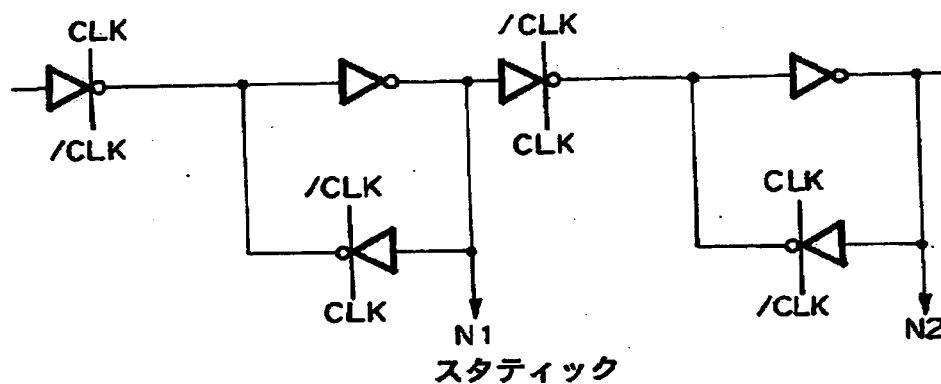
【図6】



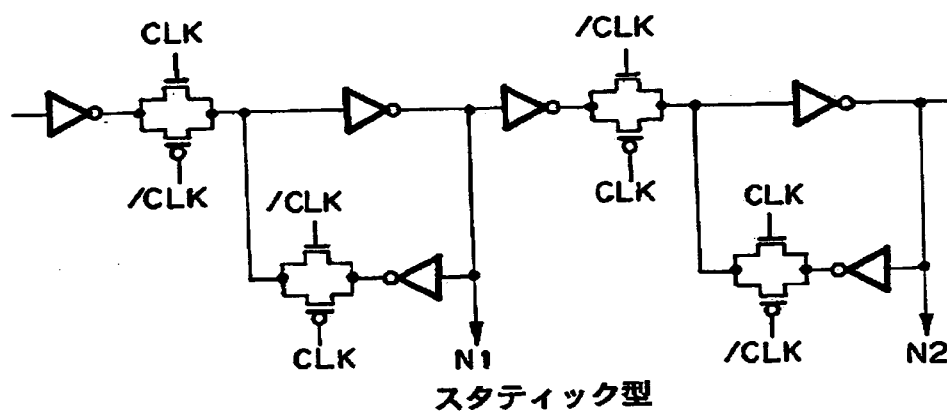
【図 7】



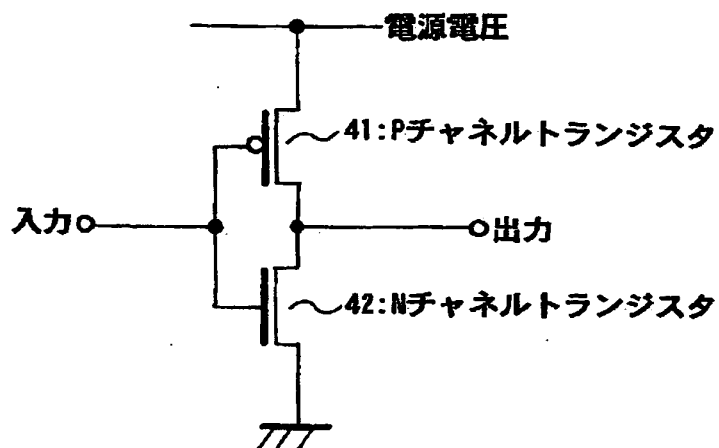
【図 8】



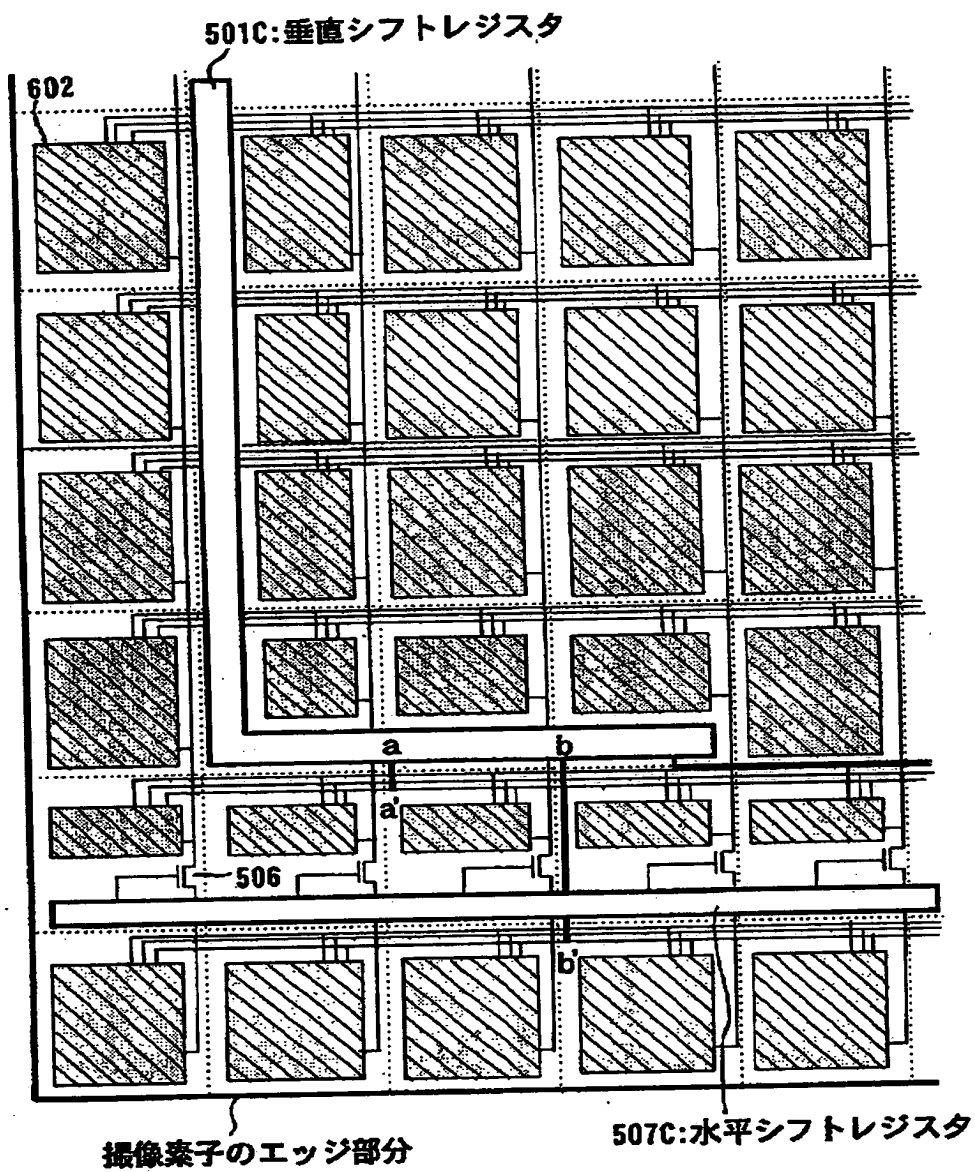
【図 9】



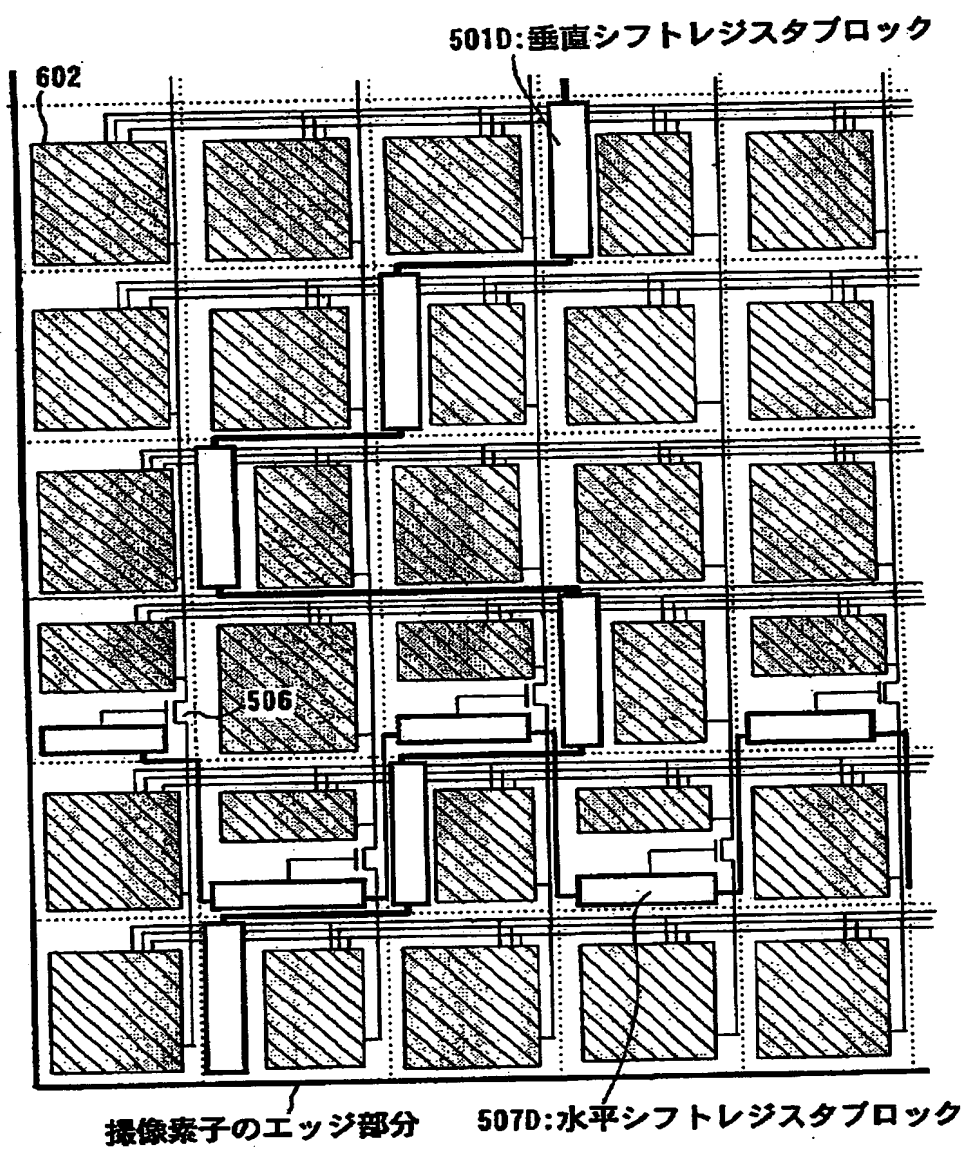
【図 10】



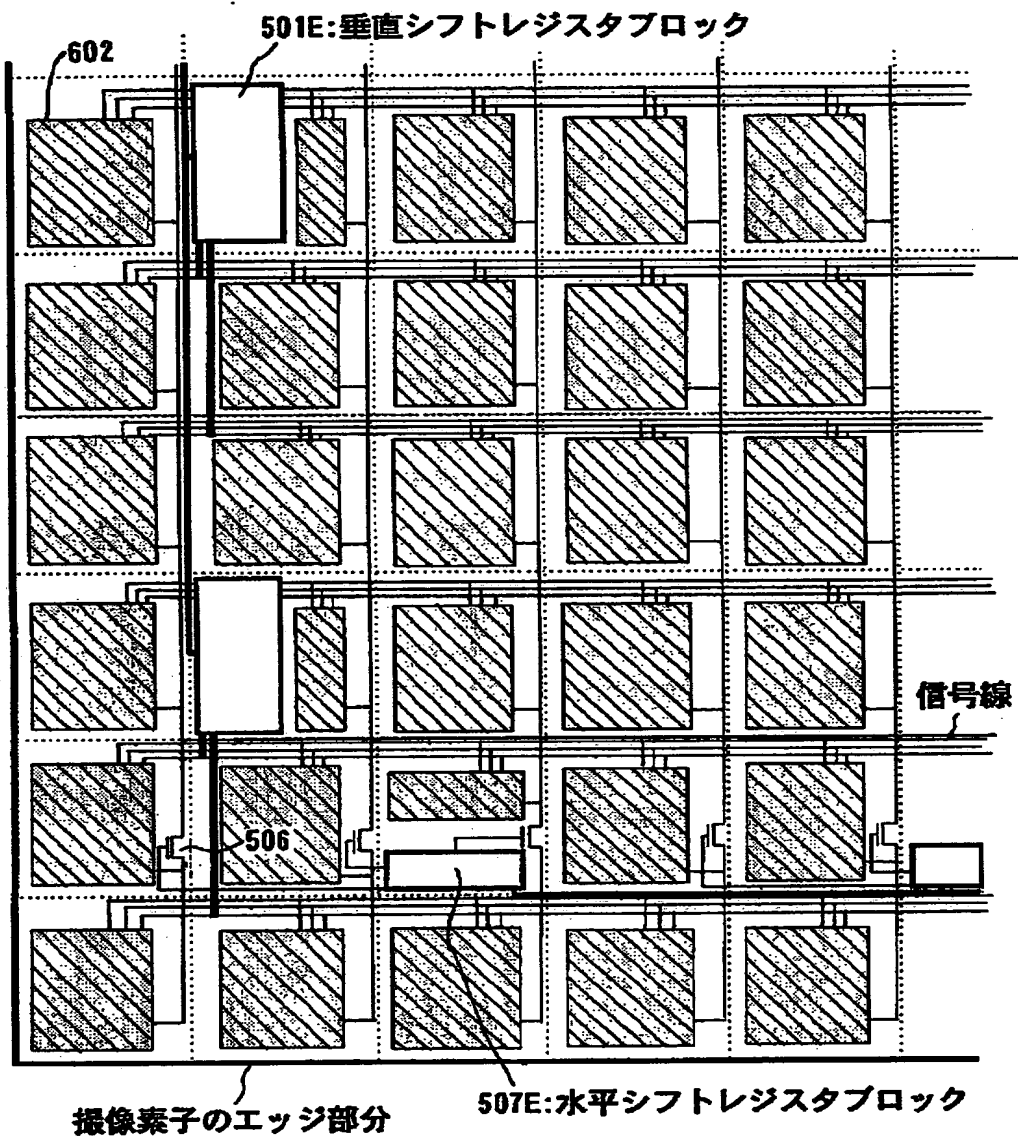
【図13】



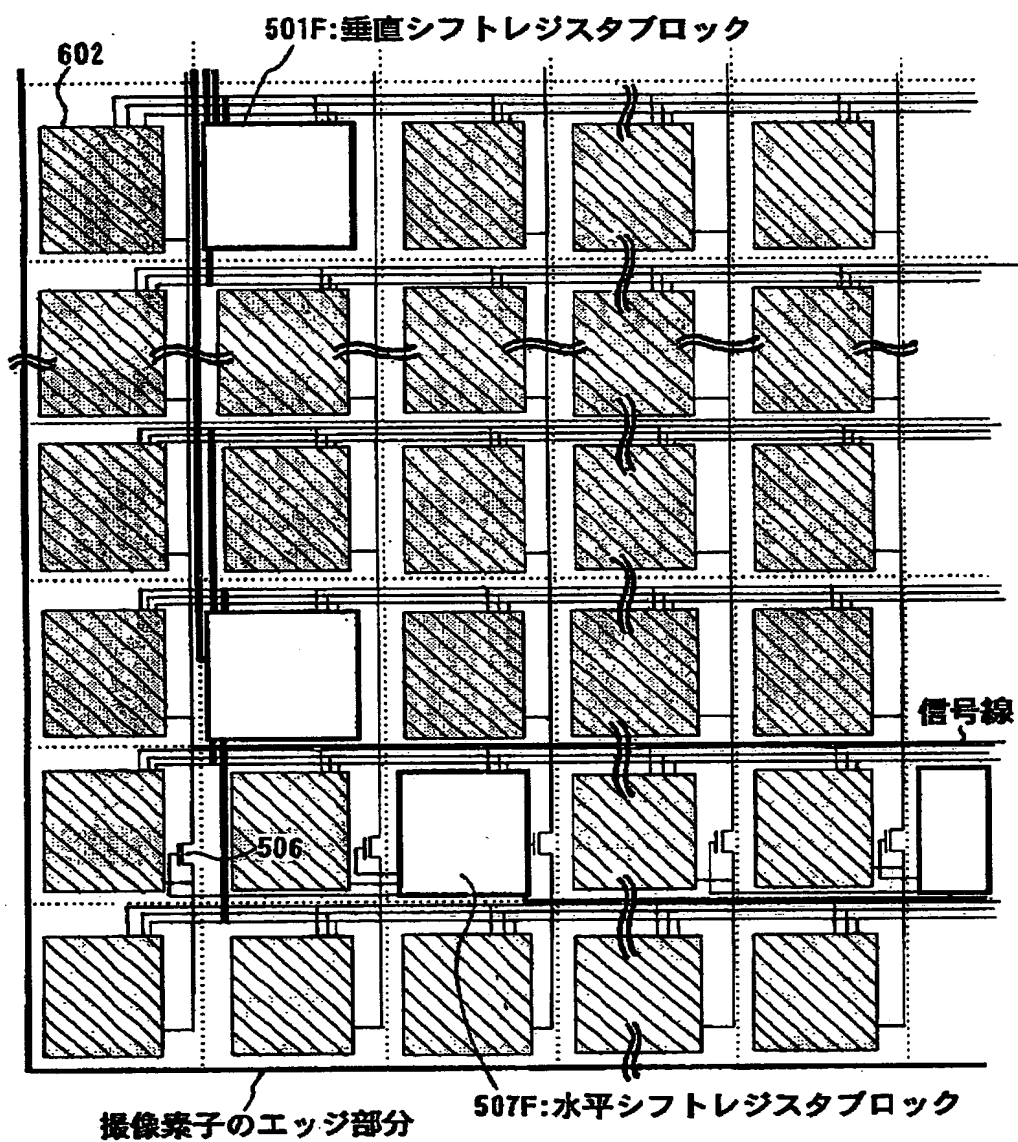
【図14】



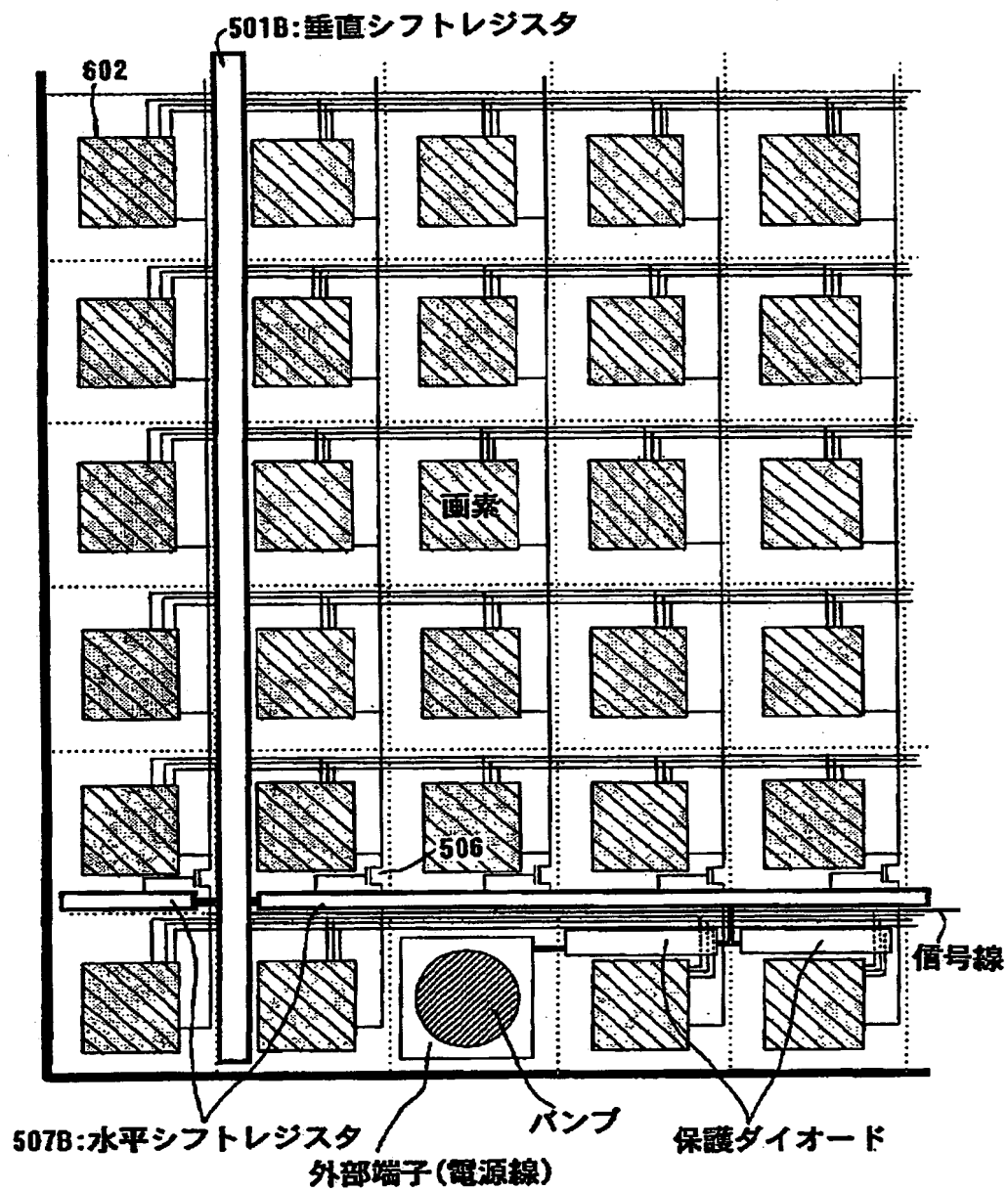
【図15】



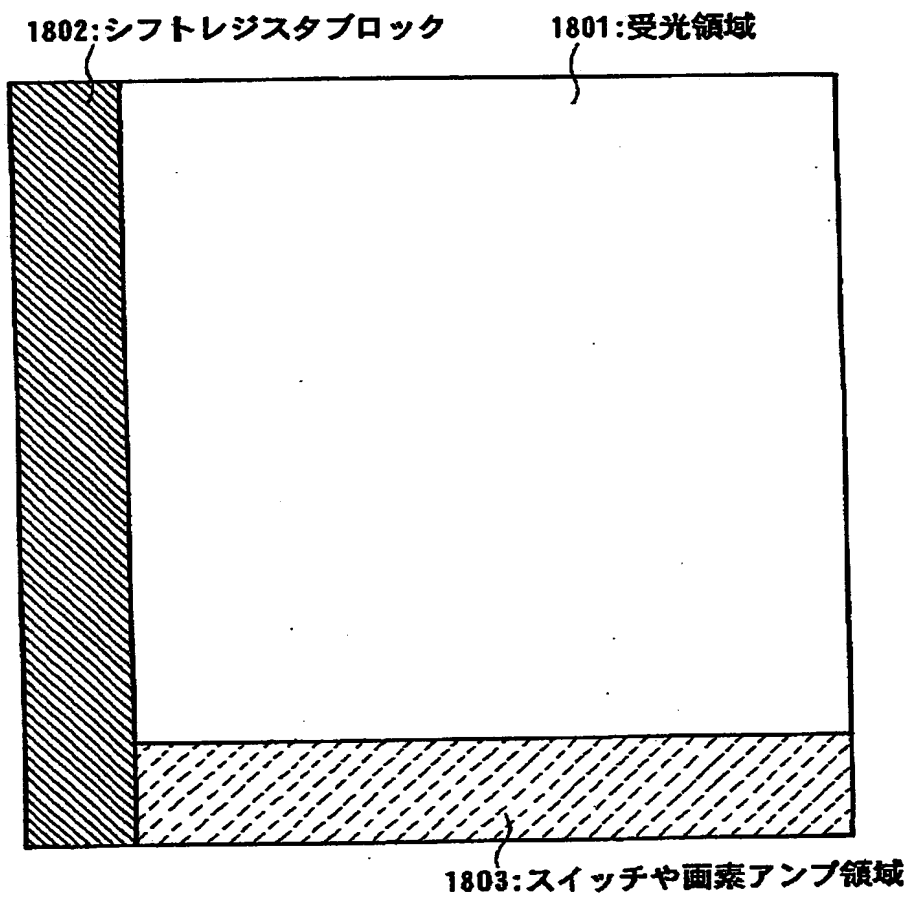
【図16】



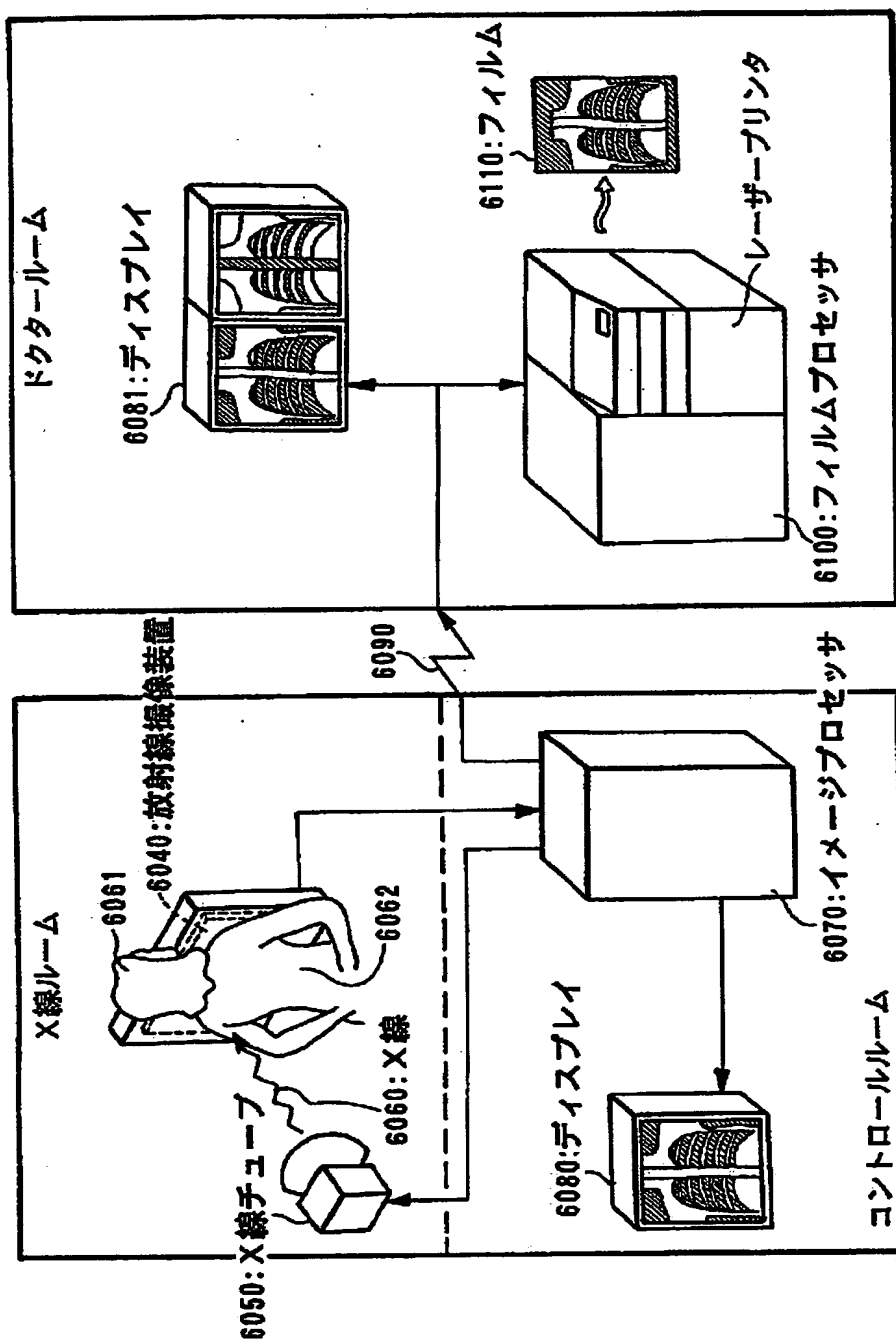
【図 17】



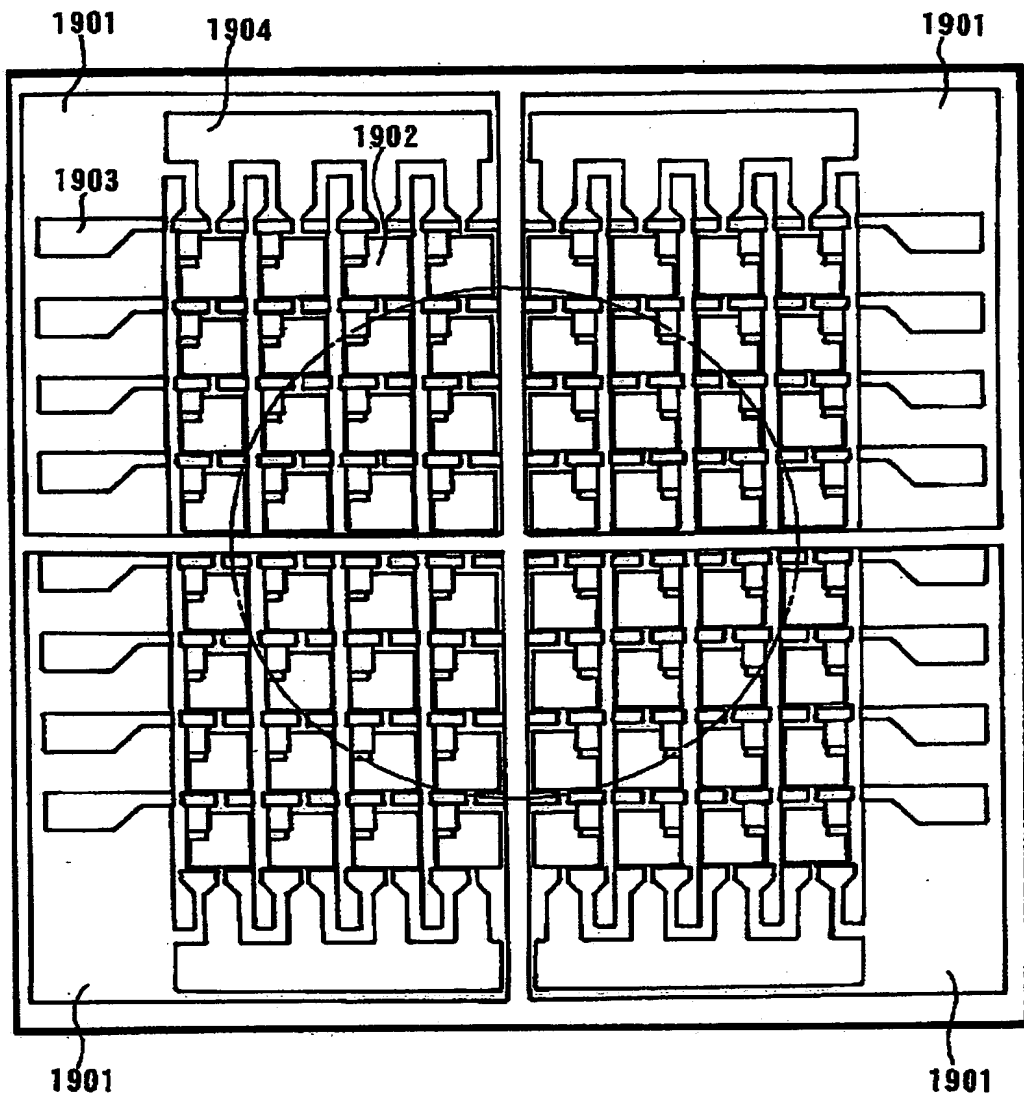
【図 1 8】



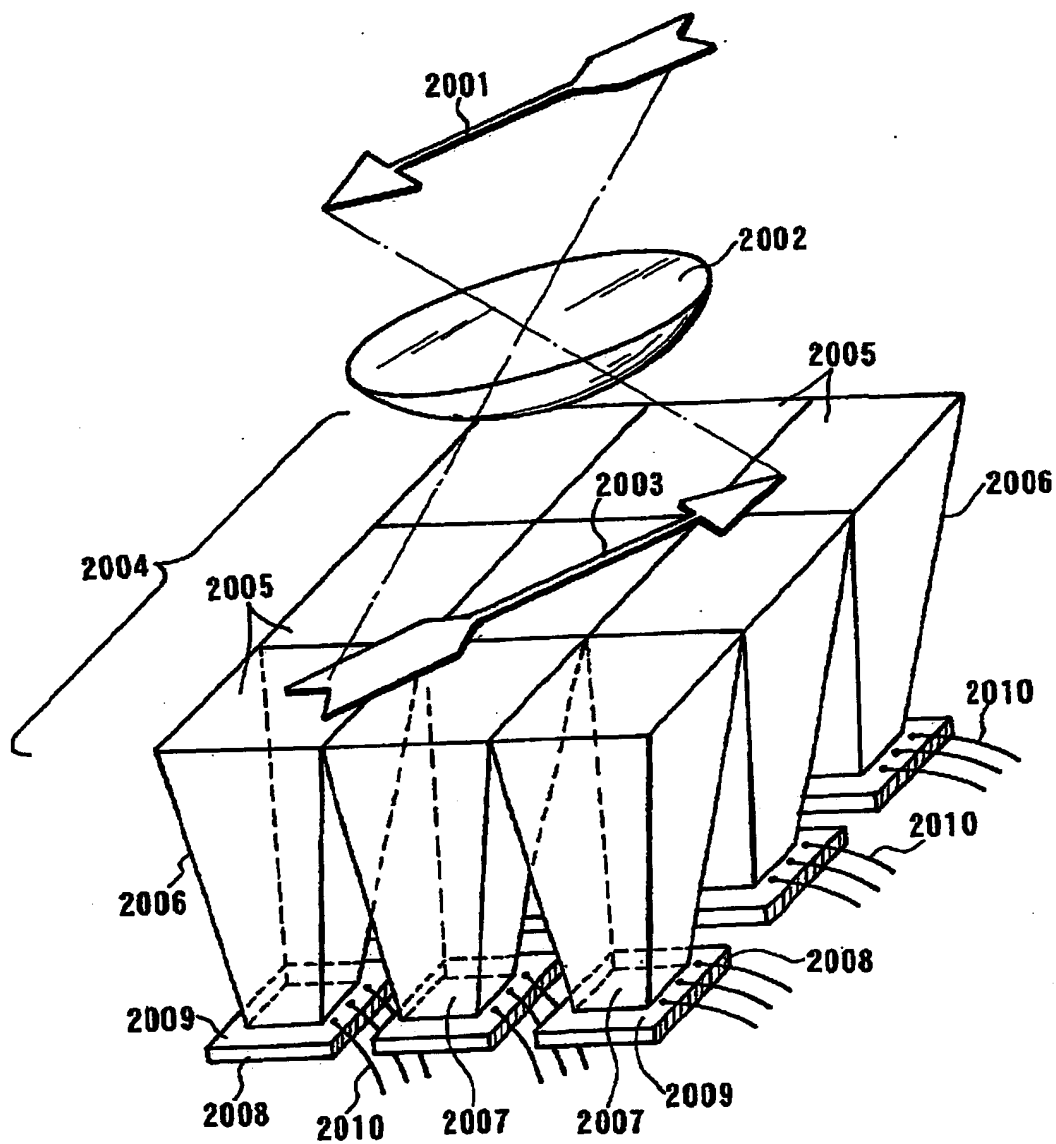
【図19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 高性能な複数の単結晶シリコンの撮像素子を用いて、繋ぎ目のない画像を提供できる大板の放射線、特に X 線撮像装置を提供する。

【解決手段】 被写体像を複数の領域に分割して撮像する、光電変換部を含む画素が配列された撮像領域と、前記領域内の複数の光電変換部間に設けられた、複数の画素を共通に処理又は／及び前記複数の画素からの信号を共通に処理する走査回路 5 0 1、5 0 7 を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社